

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-244574

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

G09G 3/28

(21)Application number : 08-049682

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.03.1996

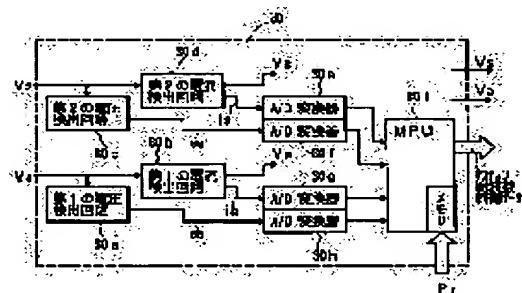
(72)Inventor : SAKAMOTO TETSUYA  
TOMIO SHIGETOSHI  
KISHI TOMOKATSU

## (54) PLASMA DISPLAY PANEL DRIVING DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To improve estimative precision of power consumption and to make possible properly operating an automatic power consumption control function by prolonging a period of a specified pulse voltage when the power consumption in an address electrode, an X electrode and a Y electrode exceed reference power consumption.

SOLUTION: An APC circuit 30 is provided with a first voltage detection circuit 30a detecting a voltage value  $e_a$  of a display selecting high voltage source  $V_a$ , a first current detection circuit 30b detecting the current value  $i_a$  of the voltage  $V_a$ , a second voltage detection circuit 30c detecting the voltage value  $e_s$  of a display keeping high voltage source  $V_s$  and a second current detection circuit 30d detecting the current value  $i_s$  of the voltage  $V_s$ . Then, A/D converters 30e-30h convert these detection values to the digital data, and a microprocessor 30i estimates the power consumption of a PDP, and when the estimate value exceeds prescribed reference power  $P_r$ , it outputs the control data for lowering a sustainment frequency.



## LEGAL STATUS

[Date of request for examination] 31.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3343016

[Date of registration] 23.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-244574

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 3/28

識別記号

庁内整理番号

4237-5H

F I

G 0 9 G 3/28

技術表示箇所

J

審査請求 未請求 請求項の数5 O L (全 9 頁)

(21) 出願番号 特願平8-49682

(22) 出願日 平成8年(1996)3月7日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 坂本 哲也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 富尾 重寿

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 岸 智勝

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 有我 軍一郎

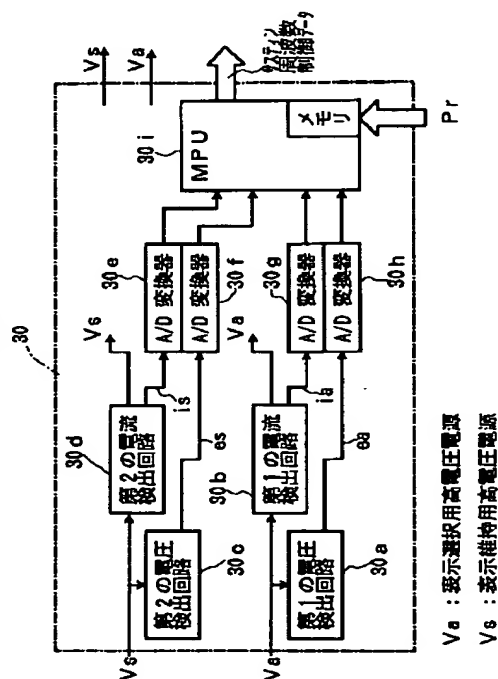
(54) 【発明の名称】 プラズマ・ディスプレイ・パネルの駆動装置

(57) 【要約】

【課題】 消費電力の見積り精度を向上し、A P C機能を適正に動作させる。

【解決手段】 交差状に配列されたアドレス電極とX電極及びY電極の各交差点に画素セルを配置し前記各電極に印加するパルス電圧の大きさ及びタイミングを制御して任意の画素セルに階調データを表示すると共に特定のパルス電圧の周期を加減することによって画素セルの表示輝度を変更するプラズマ・ディスプレイ・パネルの駆動装置において、前記アドレス電極、X電極及びY電極における消費電力を検出しその消費電力が基準の消費電力を超えたときに前記特定のパルス電圧の周期を長くする。

—実施例のA P C回路の構成図—



## 【特許請求の範囲】

【請求項 1】交差状に配列されたアドレス電極と X 電極及び Y 電極の各交差点に画素セルを配置し、前記各電極に印加するパルス電圧の大きさ及びタイミングを制御して任意の画素セルに階調データを表示すると共に、特定のパルス電圧の周期を加減することによって画素セルの表示輝度を変更するプラズマ・ディスプレイ・パネルの駆動装置において、

前記アドレス電極、X 電極及び Y 電極における消費電力を検出し、その消費電力が基準の消費電力を超えたときに前記特定のパルス電圧の周期を長くすることを特徴とするプラズマ・ディスプレイ・パネルの駆動装置。

【請求項 2】前記特定のパルス電圧は、前記 X 電極と Y 電極間に維持放電を起こさせるためのサスティンパルスであることを特徴とする請求項 1 記載のプラズマ・ディスプレイ・パネルの駆動装置。

【請求項 3】前記アドレス電極に印加するアドレスパルス生成するための表示選択用高電圧電源（V<sub>a</sub>）の電圧値と電流値の積を第 1 の電力値とし、前記 X 電極及び Y 電極に印加するサスティンパルス又はスキャンパルス生成するための表示維持用高電圧電源（V<sub>s</sub>）の電圧値と電流値の積を第 2 の電力値とし、これら第 1 の電力値と第 2 の電力値の和が基準の消費電力を超えたときに前記特定のパルス電圧の周期を長くすることを特徴とする請求項 1 記載のプラズマ・ディスプレイ・パネルの駆動装置。

【請求項 4】前記アドレス電極に印加するアドレスパルス生成するための表示選択用高電圧電源（V<sub>a</sub>）の電圧値（第 1 の電圧値）と電流値（第 1 の電流値）を検出すると共に、前記 X 電極及び Y 電極に印加するサスティンパルス又はスキャンパルス生成するための表示維持用高電圧電源（V<sub>s</sub>）の電圧値（第 2 の電圧値）と電流値（第 2 の電流値）を検出し、前記第 1 の電流値を前記第 2 の電流値で正規化して正規化電流値とし、該正規化電流値が、基準の消費電力を前記第 2 の電圧値で除した値を超えたときに前記特定のパルス電圧の周期を長くすることを特徴とする請求項 1 記載のプラズマ・ディスプレイ・パネルの駆動装置。

【請求項 5】前記アドレス電極に印加するアドレスパルス生成するための表示選択用高電圧電源（V<sub>a</sub>）の電圧値（第 1 の電圧値）と電流値（第 1 の電流値）を検出すると共に、前記 X 電極及び Y 電極に印加するサスティンパルス又はスキャンパルス生成するための表示維持用高電圧電源（V<sub>s</sub>）の電圧値（第 2 の電圧値）と電流値（第 2 の電流値）を検出し、前記第 2 の電流値を前記第 1 の電流値で正規化して正規化電流値とし、該正規化電流値が、基準の消費電力を前記第 1 の電圧値で除した値を超えたときに前記特定のパルス電圧の周期を長くすることを特徴とする請求項 1 記載のプラズマ・ディスプレイ・パネルの駆動装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、プラズマ・ディスプレイ・パネル（以下「PDP」）の駆動装置に関し、特に、APC 機能（auto power control：消費電力自動制御機能）を備えた駆動装置に関する。

## 【0002】

【背景説明】平面型表示装置の一種である PDP は、パネルの構造がきわめて単純で電極をはじめパネルの構造体のすべてを厚膜印刷技術で容易に形成できる特長から、特に大画面の高精細表示に好適であるが、反面、自己発光表示のために消費電力が基本的に大きく、かかる欠点を解消できる有用な技術が求められている。

## 【0003】

## 【従来の技術】

## （1）PDP のセル構造とその駆動原理

PDP の基本的なセル構造は、電極が放電セルに露出している直流型と、絶縁層で覆われている交流型の二つのタイプがあり、輝度の点で主流は後者の交流型である。さらに、交流型 PDP も、2 枚の基板のそれぞれに陽極と陰極を設けた 2 電極型と、一方の基板に陽極と陰極を設けるとともに他方の基板に第三の電極（いわゆるアドレス電極；A 電極と略すこともある）を設けた 3 電極型に分かれるが、特にカラー PDP では、蛍光体の劣化を防止できるメリットから、3 電極型が用いられる。なお、交流型 PDP の陽極及び陰極の“陽／陰”は印加電圧の極性で決まり、駆動方法によっては極性反転もあるから、一般的にパネルの座標軸（X、Y）を付けて X 電極及び Y 電極と呼び表される。

【0004】図 9 は 3 電極型 PDP の断面構造図であり、1、2 はガラス基板、3 は A 電極、4 は X 電極、5 は Y 電極、6 は蛍光体、7 は絶縁膜、8 は誘電体層、9 は放電空間である。このような構造の 3 電極型 PDP の駆動方法として、1 フレームをたとえば 8 個のサブフレームに分割し、各サブフレームの維持放電期間を 1：2：4：8：16：32：64：128 の比率に設定するとともに、これらのサブフレームを組み合わせで多階調表示を実現する、いわゆる「サブフレーム方式」が知られている。

【0005】図 10 はサブフレーム方式のフレーム構造概念図であり、1 フレームは 8 個のサブフレーム S<sub>F1</sub>～S<sub>F8</sub>で構成されている。各サブフレームは三つの期間、すなわち「リセット期間」「アドレス期間」及び「維持放電期間」からなる。最初の二つの期間の長さは同一であるが、維持放電期間 t<sub>1</sub>～t<sub>8</sub> は上記比率のとおりに異なっている。なお、L<sub>1</sub>、L<sub>2</sub>、……、L<sub>n</sub> は水平走査線である。また、各サブフレームのアドレス期間内の太斜線は、L<sub>1</sub>、L<sub>2</sub>、……、L<sub>n</sub> を線順次で選択している様子を表している。

【0006】図 11 は 1 サブフレーム期間におけるアド

レス電極、X電極及びY電極の波形タイミング図である。なお、以下の説明で使用する電圧値は便宜値であり、これに限定されない。リセット期間では、まず、すべてのY電極に0Vを与えながら、放電に必要な充分な電位差を与えるために、アドレス電極に+110V程度の正パルス10を与えた状態で、X電極に+330V程度の正パルス11（全面書き込みパルスとも言う）を与える。これにより、すべてのセルで放電が生じる。次に、アドレス電極とX電極に0Vを与えて再びすべてのセルで放電を生じさせると、この放電は、電極間の電位差がゼロのため、壁電荷が形成されずに自己中和して終息し、いわゆる自己消去放電が行われる。

【0007】アドレス期間では、X電極に+50V程度の正電圧12を与えながら、Y電極に線順次で-150~-160V程度の負パルス13（以下「スキャンパルス」）を印加し、且つ、アドレス電極に選択的に+60V程度の正パルス14（以下「アドレスパルス」）を印加する。なお、スキャンパルスを印加しないY電極には-50~-60V程度の負電圧15を印加しておく。アドレスパルス14を印加したアドレス電極とスキャンパルス13を印加したY電極との間には、放電に必要な充分な電位差（210~220V程度）があるため、両電極間に放電（アドレス放電；図9参照）が生じる。一方、X電極とY電極の間のスキャンパルス部分の電位差は200~210V程度で、アドレス電極との間よりも10V程度低く、この電位差だけでは自主放電が生じないが、アドレス放電を引き金（トリガ）にしてX電極とY電極の間でも放電が生じるため、その交点に位置する誘電体層に壁電荷が形成される。

【0008】維持放電期間（サスティン期間とも言う）では、X電極とY電極に+180V程度の正パルス16（サスティンパルス）を交互に印加し、壁電荷を利用して、X、Y電極間に放電（維持放電；図9参照）を発生させる。サスティンパルス16の周期はすべてのサブフレームにおいて同じである。したがって、各サブフレームにおけるサスティンパルス16の数は、 $1n:2n:4n:8n:16n:32n:64n:128n$ の比関係となり、表示階調に応じてサブフレームを選択し又は組み合わせることにより、0から256（上記比率の場合）までの多階調表示を実現できる。但し“n”はサスティンパルス16の周波数（以下「サスティン周波数」）によって決まる整数である。

## (2) PDPとその駆動装置の概略構成

図12は、交流型PDP及びその駆動装置の構成図である。この図において、20は交流型PDP（以下「パネル」と略す）、21はアドレスドライバ、22はYスキャンドライバ、23はY共通ドライバ、24はX共通ドライバ、25は制御回路、26はAPC回路である。

【0009】制御回路25は、表示データ制御部25aとパネル駆動制御部25bとを含み、表示データ制御部

25aは、外部から与えられる表示データ（DATA）をフレームメモリ25cに一時的に記憶するとともに、このフレームメモリ25c内のデータに対して所定の信号操作とタイミング処理を施してアドレスドライバ21に出力する。パネル駆動制御部25bは、スキャンドライバ制御部25dや共通ドライバ制御部25eを含み、外部から与えられる垂直同期信号（Vsync）及び水平同期信号（Hsync）に基づいて各種タイミング信号を発生し、表示データ制御部25a、Yスキャンドライバ22、Y共通ドライバ23及びX共通ドライバ24などに供給する。

【0010】アドレスドライバ21は、表示選択用高電圧電源Vaを用いてアドレスパルスを発生し、このアドレスパルスをパネル20のアドレス電極（A1、A2、……、An）に選択的に印加するもの、また、Yスキャンドライバ22は、表示維持用高電圧電源Vsを用いてスキャンパルスを発生し、このスキャンパルスをパネル20のY電極（Y1、Y2、Y3、……、Yn）に線順次で印加するものであり、これらのアドレスパルス及びスキャンパルスは、1サブフレーム中の「アドレス期間」において発生する。

【0011】Y共通ドライバ23は、表示維持用高電圧電源Vsを用いてサスティンパルスを発生し、1サブフレーム中の「維持放電期間」において、このサスティンパルスをパネル20のすべてのY電極に同時に印加し、X共通ドライバ24は、同じく表示維持用高電圧電源Vsを用いてサスティンパルス及び全面書き込みパルスを発生し、1サブフレーム中の「リセット期間」において、この全面書き込みパルスをパネル20のすべてのX電極に同時に印加するとともに、1サブフレーム中の「維持放電期間」において、このサスティンパルスを同X電極に同時に印加するものである。

## (3) APC機能

一般に、PDPの消費電力は点灯画素数（表示率）により増減変化する。すなわち、最大の電力はすべての画素が点灯しているとき（表示率100%）であり、最小の電力はすべての画素が消灯しているとき（表示率0%）である。上限の消費電力Pmaxは、主に仕様要求で決まる。例えば、640×480画素の10インチ・バックライト付液晶パネルと同等の仕様要求であれば、Pmax=6W程度になるであろう。上記のとおり、PDPの消費電力は表示率100%で最大になるため、この表示率100%のときの電力をPmaxに設定すれば簡単であるが、通常の映像表示における表示率は高々30%程度であるから、通常動作範囲における電力とPmaxとの間に余裕がありすぎ、オーバースペックを否めない。

【0012】そこで、表示率があらかじめ定められた基準の表示率（例えば通常動作範囲における表示率を若干上回る程度の表示率）を超えた場合に、サスティン周波

数を下げて（言い換えれば上述の比率の“n”を小さくして）、PDPの電力消費を $P_{max}$ にリミットすることが行われている。図13は、従来のAPC回路の概略構成図である。表示維持用高電圧電源 $V_s$ は、電圧検出回路26aでその電圧値 $e_s$ を検出されると共に、電流検出回路26bでその電流値 $i_s$ を検出される。なお、 $i_s$ の検出は、典型的には $V_s$ の経路上に抵抗素子を入してその両端電圧を測定すればよい。

【0013】 $e_s$ 及び $i_s$ は、それぞれA/D変換器26c、26dでデジタルデータに変換された後、マイクロプロセッサ26eで電力値 $P_s$ に換算演算（ $P_s = e_s \times i_s$ ）されると共に、この $P_s$ と基準電力（上述の $P_{max}$ に相当する）との比較判定が行われる。すなわち、 $P_s$ が $P_{max}$ を超えている場合には、サスティン周波数を下げるための制御データが出力されるようになっている（図14参照）。

【0014】

【発明が解決しようとする課題】しかしながら、かかる従来技術にあっては、電力消費量の見積もりを表示維持用高電圧電源 $V_s$ の電圧値 $e_s$ と電流値 $i_s$ との積（ $e_s \times i_s$ ）だけで行っており、もう一つの重要な電源（表示選択用高電圧電源 $V_a$ ）を無視していたため、見積もり電力（ $P_s$ ）と実際の消費電力（ $P_{s'}$ ）との誤差が大きいという問題点があり、例えば、 $P_s > P_{s'}$ の場合には不必要にAPC機能が働く一方、 $P_s < P_{s'}$ の場合には必要なAPC機能が働かないという不都合がある。

【0015】そこで、本発明は、PDPの消費電力は表示維持のための電力のほかに、表示選択のための電力も関係することに着目し、これら二つの電力を考慮することによって、消費電力の見積り精度を向上し、以て、APC機能を適正に動作させることを目的とする。

【0016】

【課題を解決するための手段】

（構成）請求項1記載の発明は、交差状に配列されたアドレス電極とX電極及びY電極の各交差点に画素セルを配置し、前記各電極に印加するパルス電圧の大きさ及びタイミングを制御して任意の画素セルに階調データを表示すると共に、特定のパルス電圧の周期を加減することによって画素セルの表示輝度を変更するプラズマ・ディスプレイ・パネルの駆動装置において、前記アドレス電極、X電極及びY電極における消費電力を検出し、その消費電力が基準の消費電力を超えたときに前記特定のパルス電圧の周期を長くすることを特徴とする。

【0017】請求項2記載の発明は、請求項1記載の発明において、前記特定のパルス電圧は、前記X電極とY電極間に維持放電を起こさせるためのサスティンパルスであることを特徴とする。請求項3記載の発明は、請求項1記載の発明において、前記アドレス電極に印加するアドレスパルス

（ $V_a$ ）の電圧値と電流値の積を第1の電力値とし、前記X電極及びY電極に印加するサスティンパルス又はスキャンパルスを生成するための表示維持用高電圧電源

（ $V_s$ ）の電圧値と電流値の積を第2の電力値とし、これら第1の電力値と第2の電力値の和が基準の消費電力を超えたときに前記特定のパルス電圧の周期を長くすることを特徴とする。

【0018】請求項4記載の発明は、請求項1記載の発明において、前記アドレス電極に印加するアドレスパルスを生成するための表示選択用高電圧電源（ $V_a$ ）の電圧値（第1の電圧値）と電流値（第1の電流値）を検出すると共に、前記X電極及びY電極に印加するサスティンパルス又はスキャンパルスを生成するための表示維持用高電圧電源（ $V_s$ ）の電圧値（第2の電圧値）と電流値（第2の電流値）を検出し、前記第1の電流値を前記第2の電流値で正規化して正規化電流値とし、該正規化電流値が、基準の消費電力を前記第2の電圧値で除した値を超えたときに前記特定のパルス電圧の周期を長くすることを特徴とする。

【0019】請求項5記載の発明は、請求項1記載の発明において、前記アドレス電極に印加するアドレスパルスを生成するための表示選択用高電圧電源（ $V_a$ ）の電圧値（第1の電圧値）と電流値（第1の電流値）を検出すると共に、前記X電極及びY電極に印加するサスティンパルス又はスキャンパルスを生成するための表示維持用高電圧電源（ $V_s$ ）の電圧値（第2の電圧値）と電流値（第2の電流値）を検出し、前記第2の電流値を前記第1の電流値で正規化して正規化電流値とし、該正規化電流値が、基準の消費電力を前記第1の電圧値で除した値を超えたときに前記特定のパルス電圧の周期を長くすることを特徴とする。

（作用）請求項1～請求項3記載の発明では、アドレス電極、X電極及びY電極における消費電力を検出するので、プラズマ・ディスプレイ・パネルの実際の消費電力に一致若しくはきわめて近い電力見積もりを行うことができ、見積り精度を向上してAPC機能の動作の適正化が図られる。

【0020】請求項4又は請求項5記載の発明では、二つの電源のそれぞれの電流値の一方を正規化して他方に加算し、この加算電流を、基準の電力消費に必要な電流値と比較するので、電流ベースでもAPC機能を働かせることができる。

【0021】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。本実施例のポイントは、サブフレーム方式・APC機能付交流型PDPにおいて、電力消費見積りの精度を向上するために、APC回路の構成を改良した点にある。なお、サブフレーム方式、APC機能及び交流型PDPの原理並びにその構成については、適宜に従来技術の説明を参照することにする。

【0022】図1は本実施例におけるAPC回路の構成図であり、従来技術の図13に対応するものである。図1において、APC回路30は、表示選択用高電圧電源Vaの電圧値eaを検出する第1の電圧検出回路30aと、同電圧Vaの電流値iaを検出する第1の電流検出回路30bと、表示維持用高電圧電源Vsの電圧値esを検出する第2の電圧検出回路30cと、同電源Vsの電流値isを検出する第2の電流検出回路30dと、これらの検出値(ea、ia、es及びis)をデジタルデータに変換するA/D変換器30e~30hと、検出値(ea、ia、es及びis)に基づいてPDPの消費電力を見積りその見積り値が前述のPmaxに相当する所定の基準電力Prを超えたときにサスティン周波数を下げるための制御データを出力するマイクロプロセッサ30iとを備えて構成されている。

【0023】図2は、マイクロプロセッサ30iの概略処理フローである。このフローでは、A/D変換器30e~30hの出力(ea、ia、es及びis)と基準電力Prとを順次(順不同)に取り込み、次いで、次式①に従ってPDPの総合消費電力Ptを演算し、PtとPrを比較してPtがPrを超えている場合、すなわち、消費電力の見積り値が前述のPmaxに相当する基準電力を超えている場合に、サスティン周波数を下げ、サスティンパルスの周期を広げて電力消費を抑えるという制御を行う。

【0024】

$$Pt = (ia \times ea) + (is \times es) \quad \cdots \cdots \textcircled{1}$$

ここで、上式①の(ia×ea)は、アドレス電極に印加するアドレスパルス(図11の符号14参照)を生成するための表示選択用高電圧電源Vaの電圧値eaと電流値iaの積であり、発明の要旨に記載の「第1の電力値」に相当する。また、上式①の(is×es)は、X電極及びY電極に印加するサスティンパルス(図11の符号16参照)又はスキャンパルス(図11の符号13参照)を生成するための表示維持用高電圧電源Vsの電圧値esと電流値isの積であり、発明の要旨に記載の「第2の電力値」に相当する。

【0025】このように、本実施例では、第1の電力値と第2の電力値の和をPDPの電力見積り値としているので、従来技術のような、表示維持用高電圧電源Vsの電圧値esと電流値isの積だけのもの、すなわち、第2の電力値だけの見積り値に比べて、少なくとも第1の電力値に相当する分の精度向上を図ることができ、APC機能の動作の適正化を図ることができる、という従来技術にない格別有利な効果が得られる。さらに、第1の電力値は表示パターンに応じて変化するため、特に、表示パターンの変動が大きい画像を表示する場合に顕著な効果が現れる。

【0026】なお、上記実施例では、電力見積り値を第1の電力値(ia×ea)と第2の電力値(is×e

s)との和としているが、すなわち電力ベースで見積もっているが、これに限らない。電流ベースでも見積もることができる。図3において、イコール(=)の左辺は、上記実施例の電力見積り値(Pt)である。この電力見積り値Ptは、電圧値esと総合電流値(it)との積に等しいから、この総合電流値itを用いてAPL機能をコントロールできるが、総合電流値itは単純に「ia+is」とはならない。iaとisは異なる電源によって流れる電流であり、いずれか一方の値で他方を正規化しなければならないからである。例えば、図3の例ではiaを正規化している。正規化係数は異なる二つの電源電圧の比(ea/es)である。

【0027】図4は、isを正規化する場合のマイクロプロセッサ30iの概略処理フローである。このフローでは、図2と同様に、A/D変換器30e~30hの出力(ea、ia、es及びis)と基準電力Prとを順次に取り込んだ後、次式②に従ってiaを正規化する。

$$ia = ia \times (ea/es) \quad \cdots \cdots \textcircled{2}$$

次いで、正規化したiaとisを加算して総合電流値itを求め、さらに、次式③に従って基準電流値irを求める。

$$ir = Pr/es \quad \cdots \cdots \textcircled{3}$$

次いで、itとirを比較してitがirを超えている場合、すなわち、見積り電力値に相当する総合電流値が、基準電力に相当する基準電流値を超えている場合に、サスティン周波数を下げ、サスティンパルスの周期を広げて電力消費を抑えるという制御を行う。

【0029】なお、上式③の代わりに、図5に示すようなテーブルを使用できる。図5において、縦軸はir、横軸はes、斜めの線は補正線である。直線状の補正線の一端側はes=200V、ir=1.5Aであり、他端側はes=150V、ir=2.0Aであるから、このテーブルのPrは300Wである。したがって、このPrを前提にすれば、そのときのesをテーブルに当てはめるだけで、直ちにirを求めることができる。

【0030】図6は、本実施例におけるAPC機能の動作イメージ図である。縦軸は総合電流値it、横軸は点灯画素の割合(すなわち表示負荷率)である。今、es=150Vとすると、図5のテーブルより、irは2.0Aになるから、it>2.0A以上となる高表示負荷率の場合にAPC機能が働き、そのときのPDPの消費電力はPr(この場合300W)で制限される。又は、es=200Vとすると、図5のテーブルより、irは1.5Aになるから、it>1.5A以上となる高表示負荷率の場合にAPC機能が働き、そのときのPDPの消費電力もやはりPr(この場合300W)で制限される。

【0031】したがって、PDPの消費電力と表示負荷率との関係で見ると、図7に示すように、Pr(この場合300W)で正確に制限され、それ以上増えない望ま

しい電力特性が得られる。なお、上記実施例では  $i_a$  を正規化した。これに限らない。 $i_s$  を正規化してもよい。図 8 は  $i_s$  を正規化する場合の処理フローである。上記実施例 (図 4) との相違は、※印で識別するように、次式④で  $i_s$  を正規化し、正規化した  $i_s$  と  $i_a$  を加算して総合電流値  $i_t$  を求め、さらに、次式⑤に従って基準電流値  $i_r$  を求める点にある。

$$【0032】 i_s = i_s \times (e_s / e_a) \quad \cdots \cdots \textcircled{4}$$

$$i_r = Pr / e_a \quad \cdots \cdots \textcircled{5}$$

【0033】

【発明の効果】本発明によれば、消費電力の見積り精度を向上でき、APC機能の動作の適正化を図ることができる。

【図面の簡単な説明】

【図 1】一実施例の APC 回路の構成図である。

【図 2】一実施例の処理フロー図である。

【図 3】見積り電流値と総合電流値の関係図である。

【図 4】一実施例の他の処理フロー図である。

【図 5】基準電流値のテーブル図である。

【図 6】総合電流値と表示負荷率の関係図である。

【図 7】基準電力と表示負荷率の関係図である。

【図 8】一実施例のさらに他の処理フロー図である。

【図 9】3 電極型 PDP の断面構造図である。

【図 10】サブフレーム方式のフレーム構成図である。

【図 11】1 サブフレームの波形タイミング図である。

【図 12】交流型 PDP 及びその駆動装置の概略構成図である。

【図 13】従来の APC 回路の構成図である。

【図 14】従来の処理フロー図である。

【符号の説明】

Va : 表示選択用高電圧電源

Vs : 表示維持用高電圧電源

3 : アドレス電極

4 : X 電極

5 : Y 電極

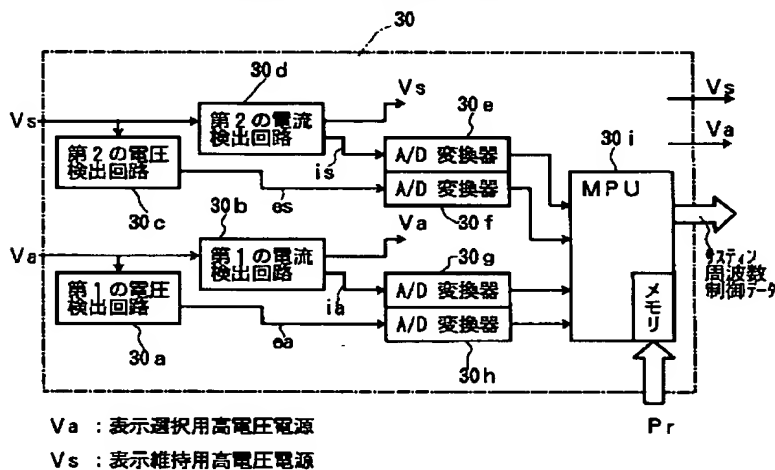
12 : スキャンパルス

14 : アドレスパルス

16 : サステインパルス

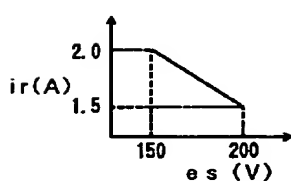
【図 1】

一実施例の APC 回路の構成図



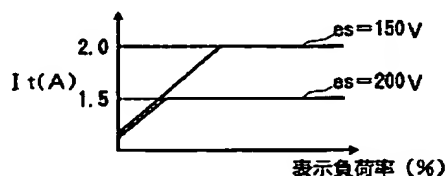
【図 5】

基準電流値のテーブル図



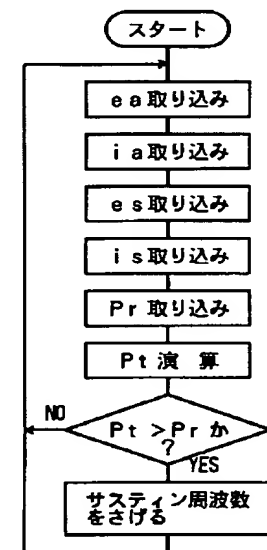
【図 6】

総合電流値と表示負荷率の関係図



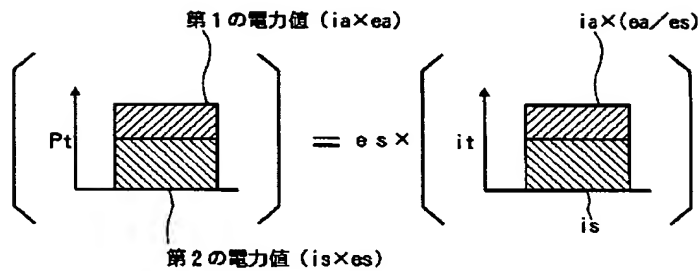
【図 2】

一実施例の処理フロー図



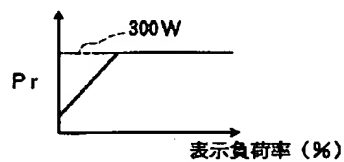
【図3】

見積り電流値と総合電流値の関係図



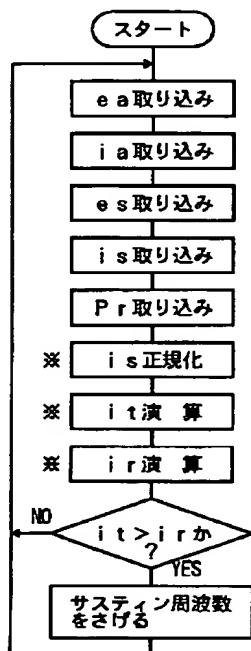
【図7】

基準電力と表示負荷率の関係図



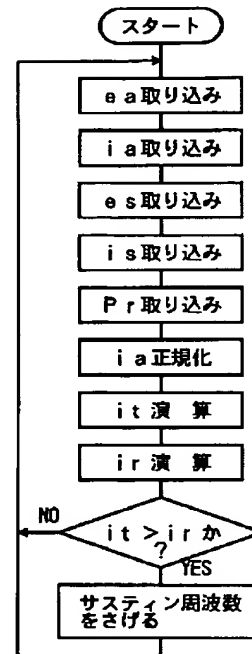
【図8】

一実施例のさらに他の処理フロー図



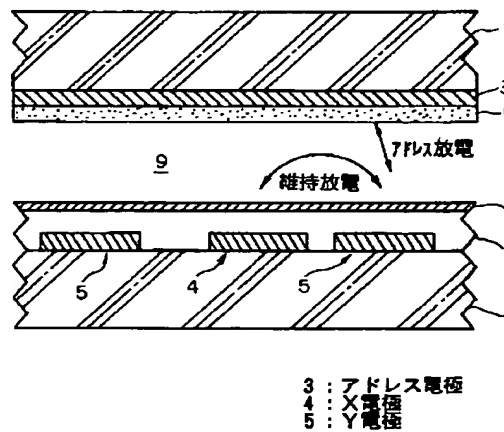
【図4】

一実施例の他の処理フロー図



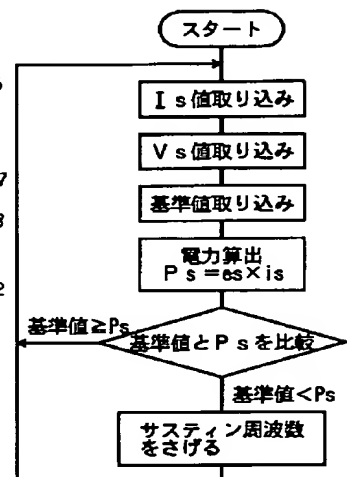
【図9】

3電極型PDPの断面構造図



【図14】

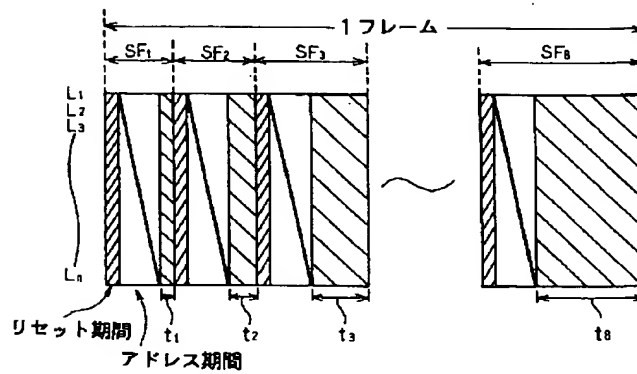
従来の処理フロー図





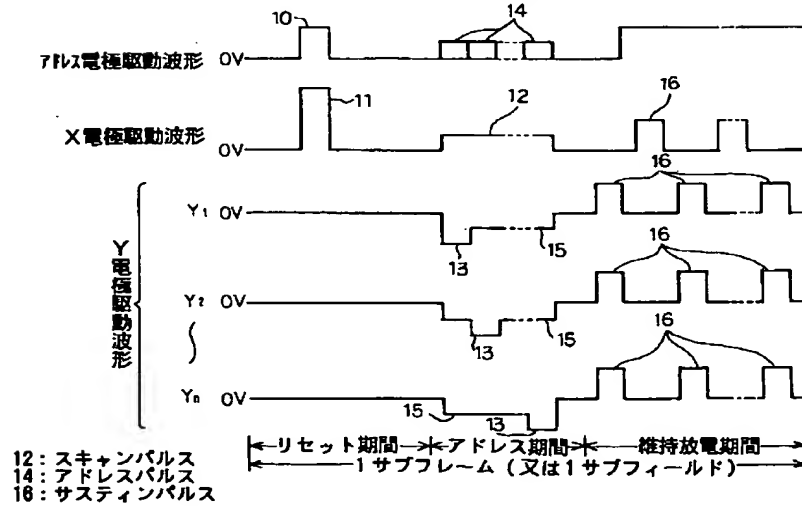
【図 10】

サブフレーム方式のフレーム構成図



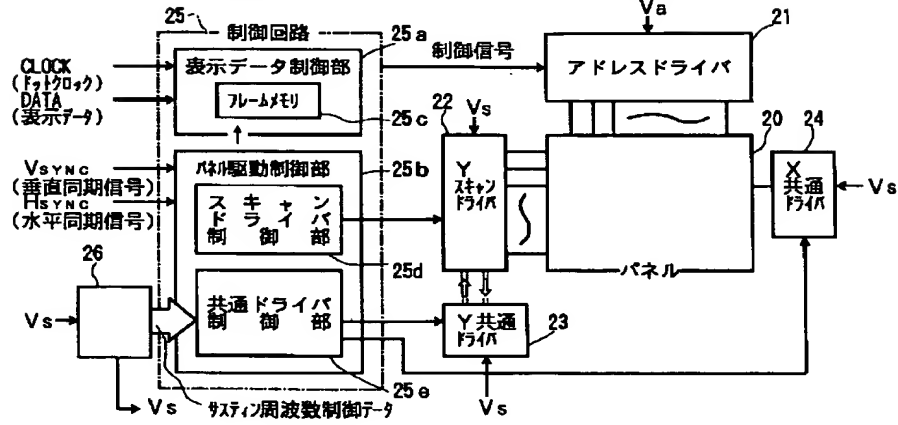
【図 11】

1 サブフレームの波形タイミング図



【図 1 2】

## 交流型PDP及びその駆動装置の概略構成図



【図 1 3】

## 従来のAPC回路の構成図

